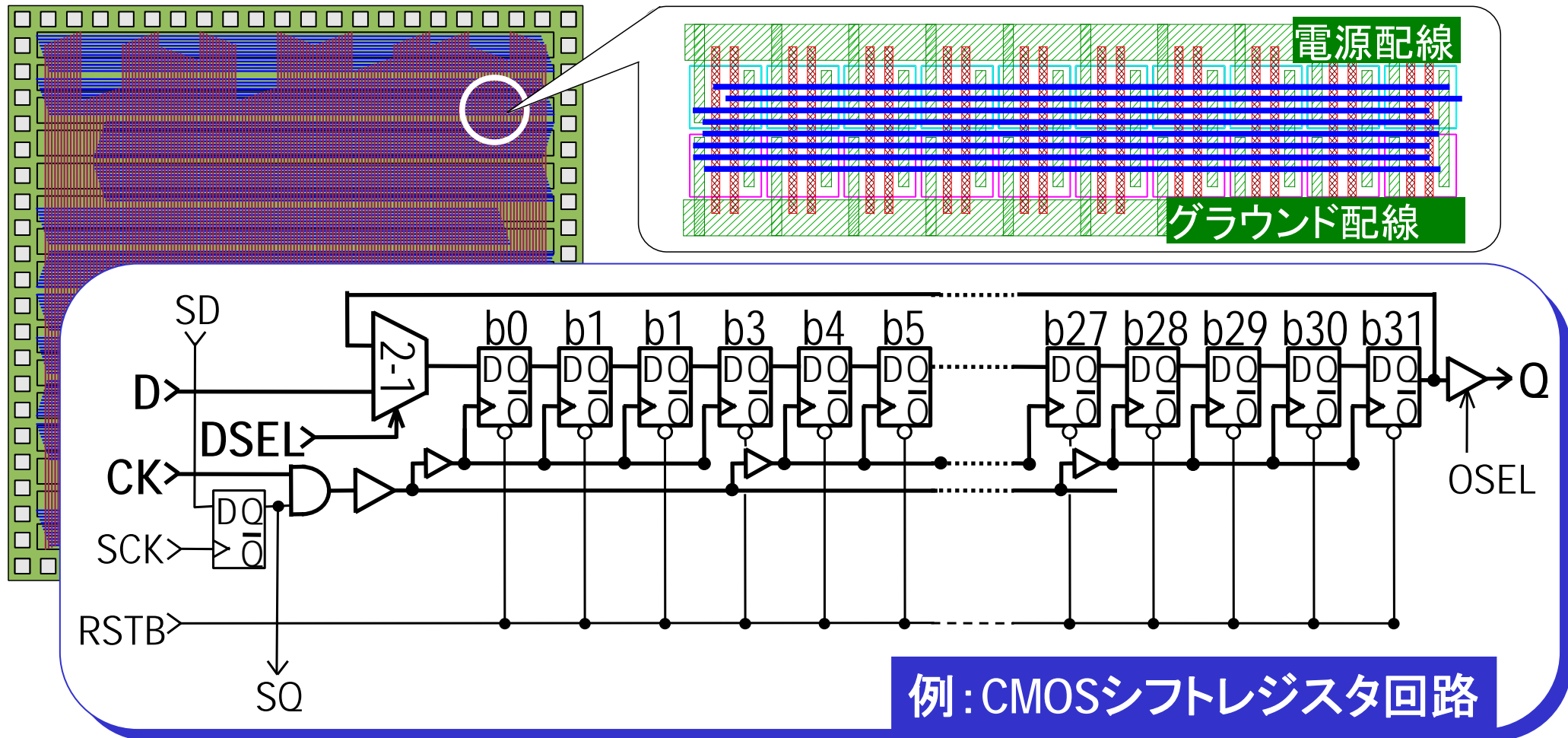


デジタルLSI電源ノイズの オンチップ観測とシミュレーション技術

神戸大学大学院
工学研究科情報知能学専攻
永田 真

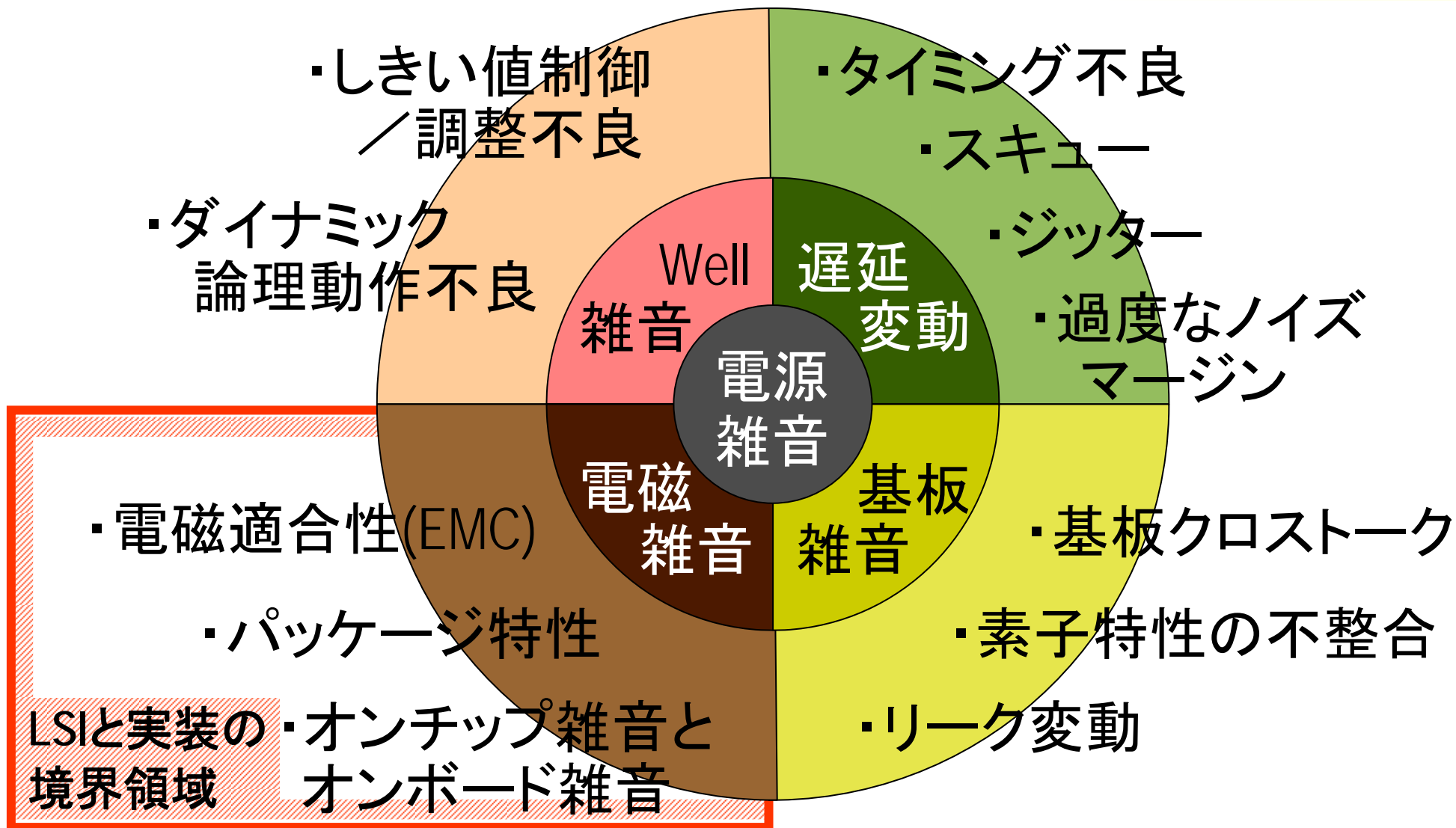
共同受賞者：岩田 穆
(株)エイアールテック

LSI電源ノイズとは？



- ▶ 高密度な論理ゲート群のSw.動作によるダイナミック電源電位変動
- ▶ LSIの内部動作と実装系のインピーダンスが作用する複雑事象
- ▶ 電源および信号インテグリティ問題の根源

LSI電源ノイズに起因したトラブル



提案技術の有用性・実用性

▶ オンチップモニタ技術の役割

- ・ 実装環境におけるチップ内のノイズをチップ外で観測する
- ・ 実測データからノイズの発生過程や特性を理解する

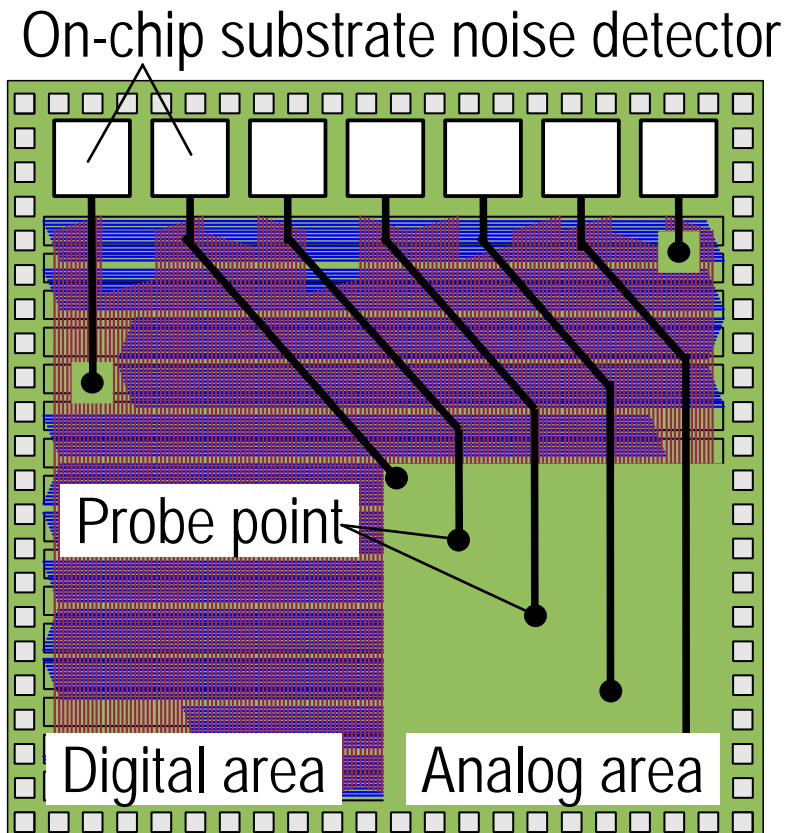
▶ 雑音シミュレーション技術の効果

- ・ チップレイアウトやアセンブリによるノイズ発生量の増減を予測する
- ・ チップ-パッケージ-ボード統合設計に向けたノイズ解析手法を与える
- ・ オンチップモニタ+雑音発生回路によるノイズ評価の標準テストチップ構造と雑音シミュレーション・モデルを提供する

Outline

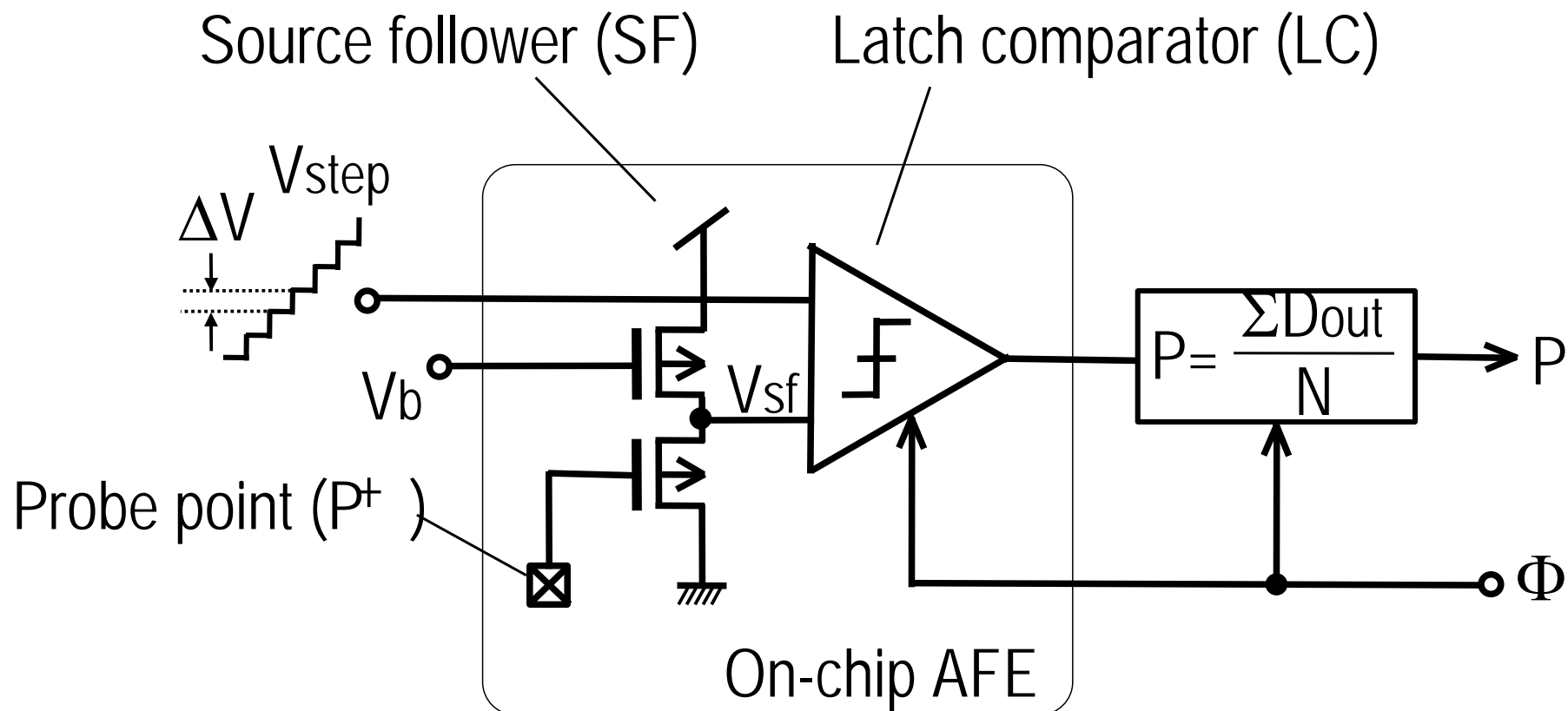
1. 電源ノイズのオンチップ測定技術
オンチップモニタ手法と適用事例
2. 電源ノイズのシミュレーション技術
雑音の発生と伝搬のモデル、チップレベル解析手法

オンチップ雑音測定



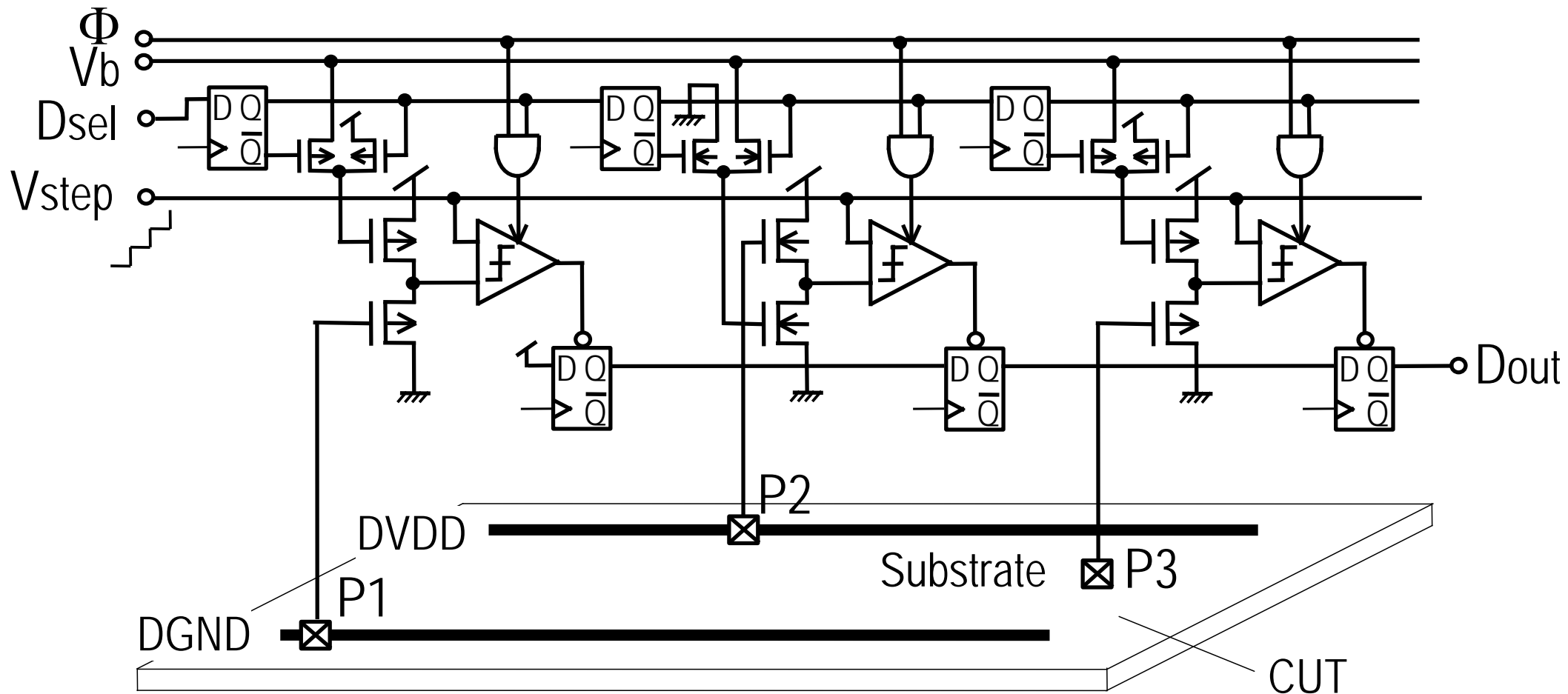
- ▶ 波形精度の高いon-chip測定
 - 電源ノイズ発生 の理解
 - ノイズに起因した問題 の理解
- ▶ 電源ノイズを考慮したチップ・パッケージ・ボード設計フローの確立をサポート
- ▶ 市販ノイズ解析ツールの評価

雑音検出回路(SF+LC)_(2000年)

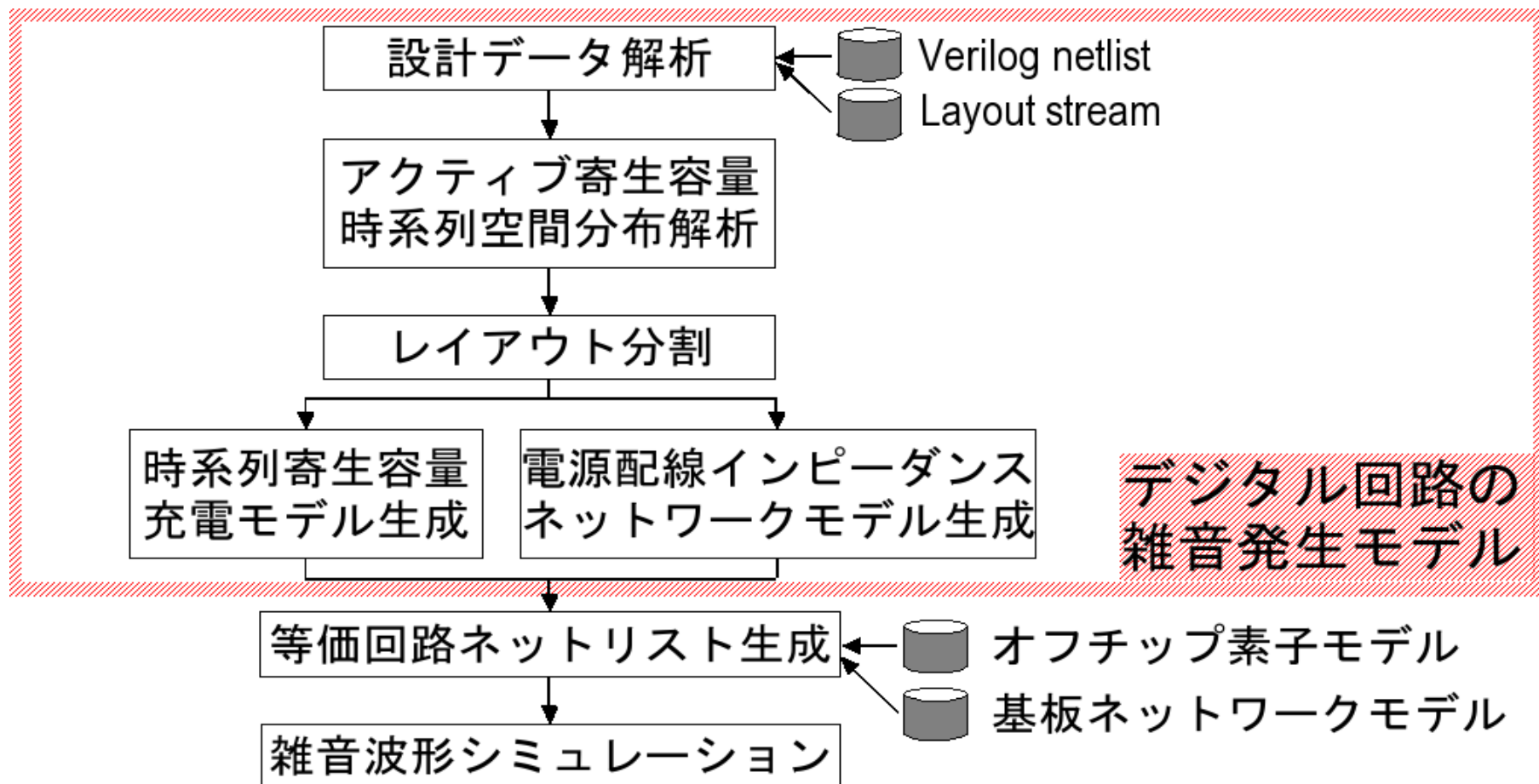


- ▶ 0.6 μm ～65 nmの全世代、テストチップ 20品種以上に搭載し、オンチップ雑音とその影響について評価した実績を有する。

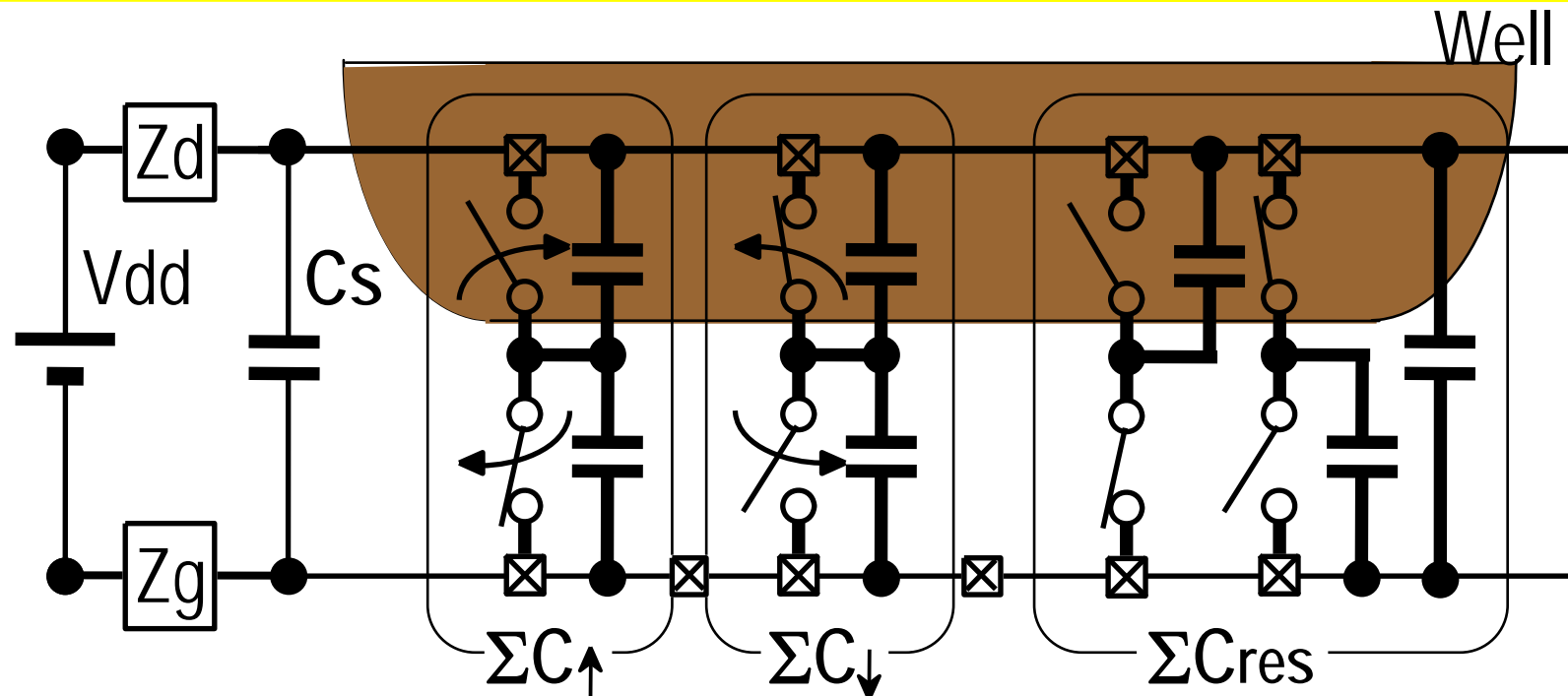
マルチポイント・ マルチポテンシヤル測定



デジタルLSIの電源雑音シミュレーション

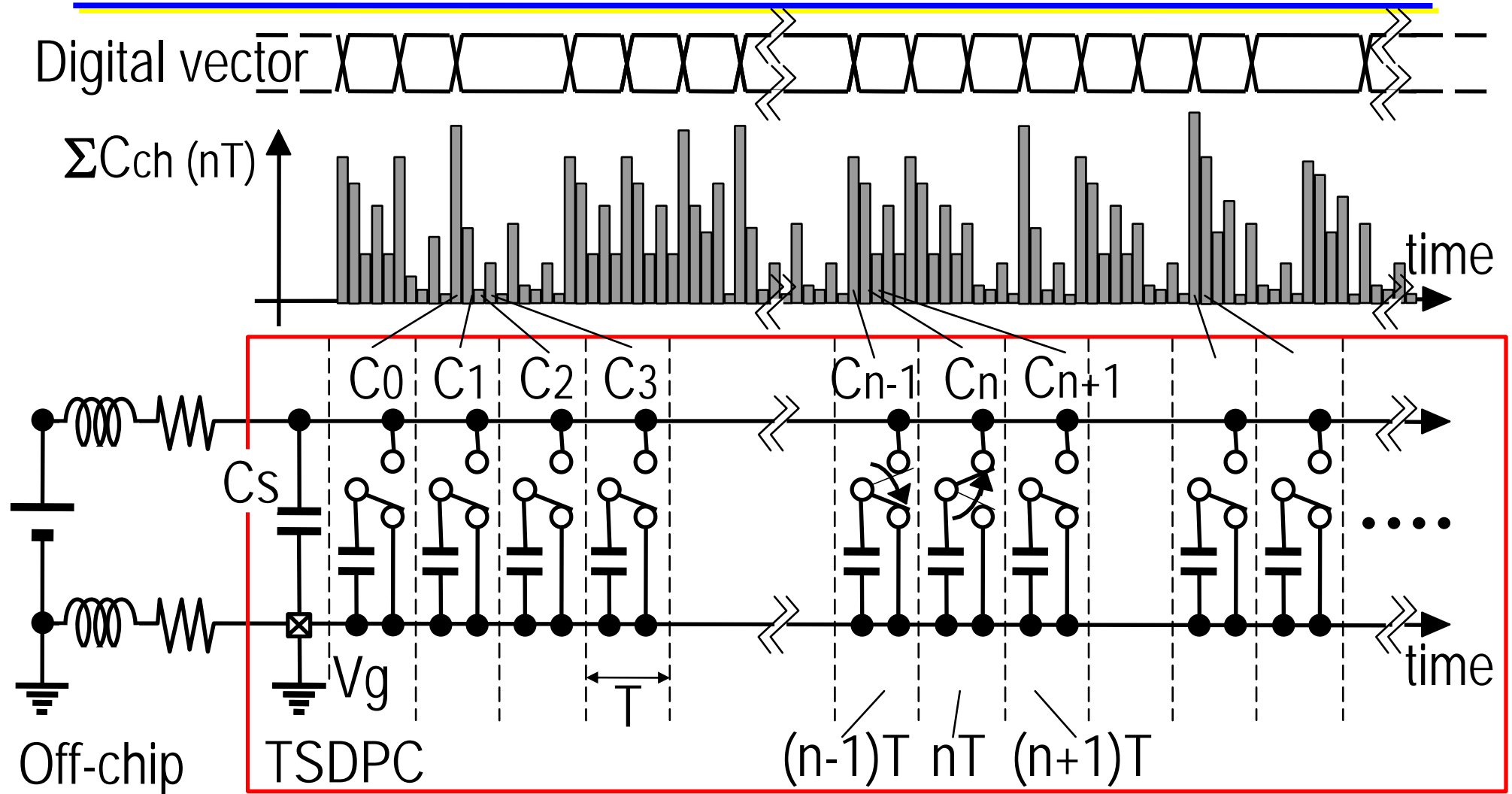


大規模デジタル回路における電荷移動



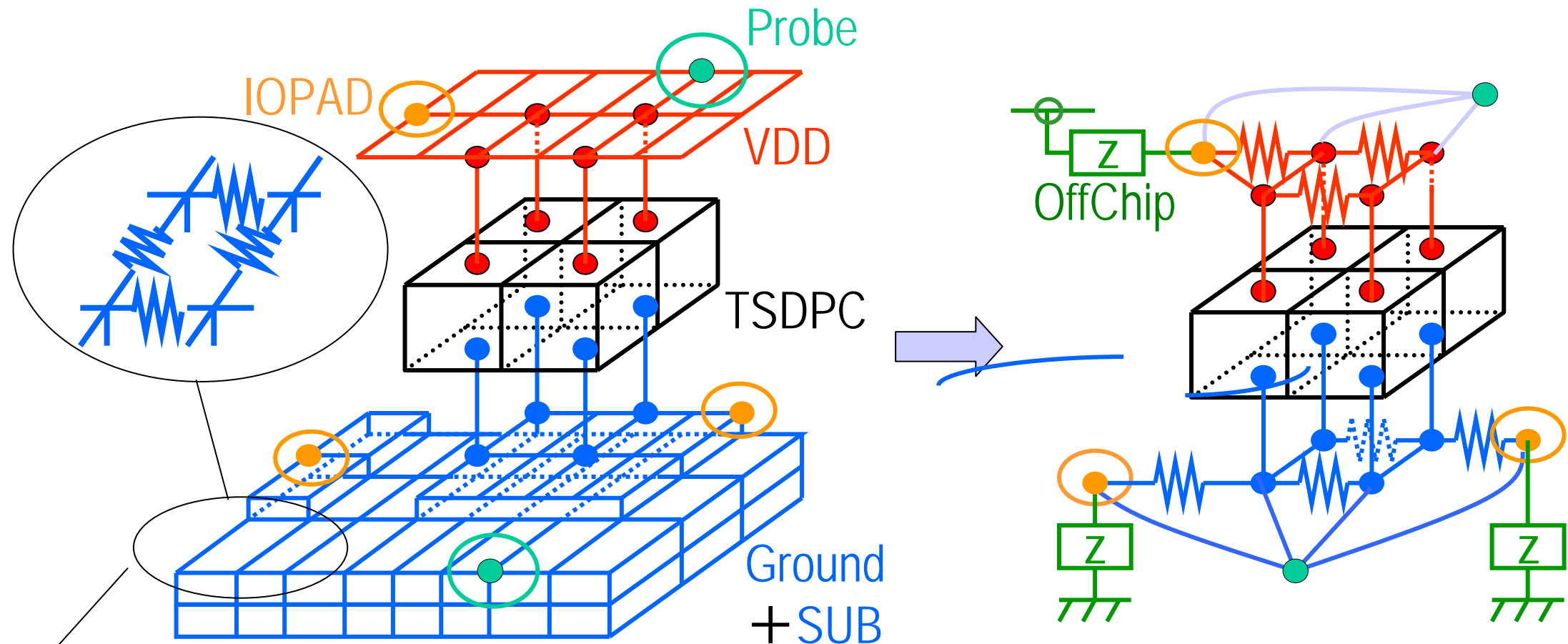
- ▶ $\Sigma(C_{\uparrow}+C_{\downarrow})$ と ΣC_{res} 間の電荷再分布過程による高速スイッチング動作の実現
- ▶ 外部電源による電荷供給: $Q=\Sigma(C_{\uparrow}+C_{\downarrow})V_{dd}$
時定数 $t \sim (Z_d+Z_g)C_{all}$ 程度のゆっくりとした電流変化

時系列分割寄生容量列(TSDPC)

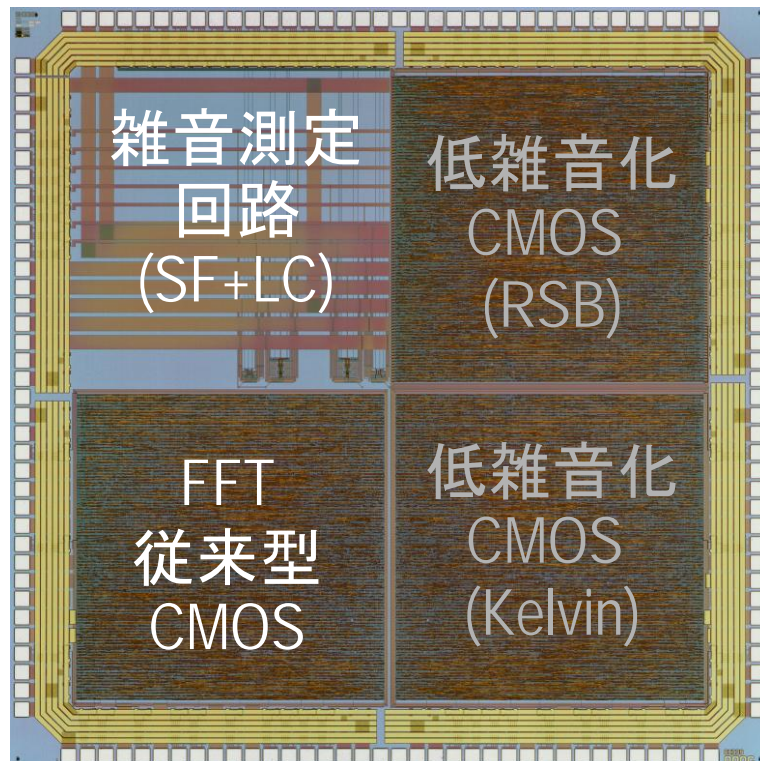


電源雑音シミュレーションモデル

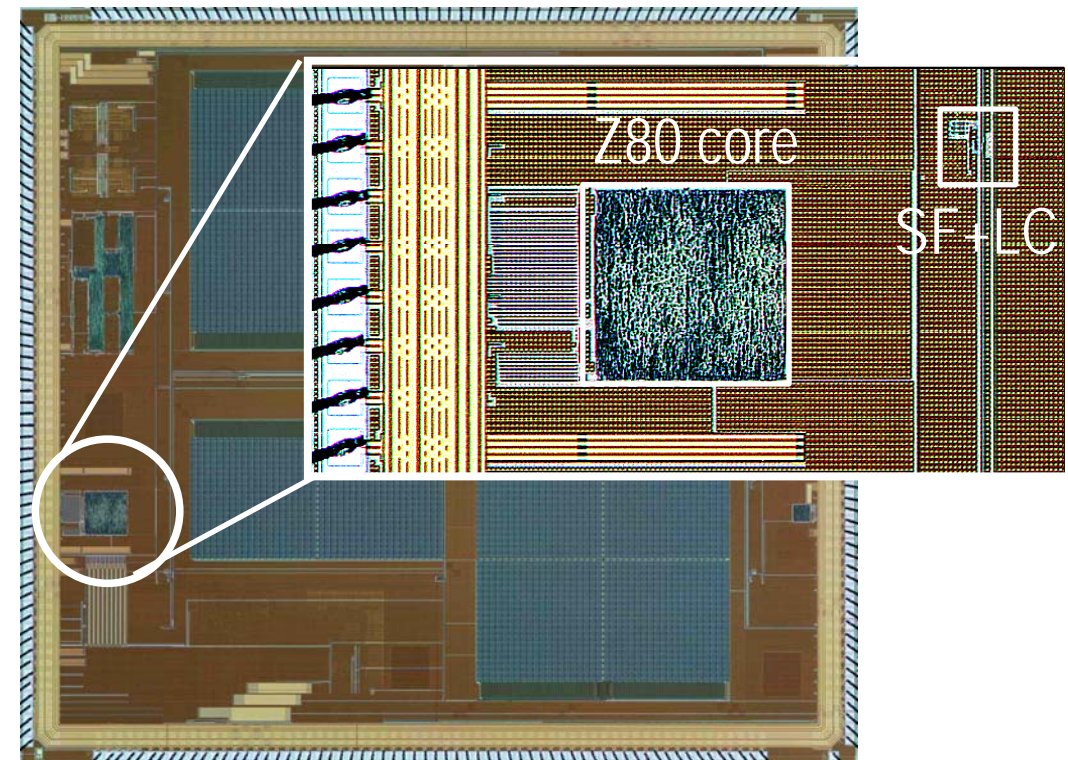
- ▶ 電源配線／グラウンド配線・基板インピーダンスモデル
(F行列演算によるネット規模削減手法を適用)
- ▶ IOPAD解析ノードにオフチップインピーダンスモデルを接続



デジタルLSI電源ノイズの解析事例 (2002年)



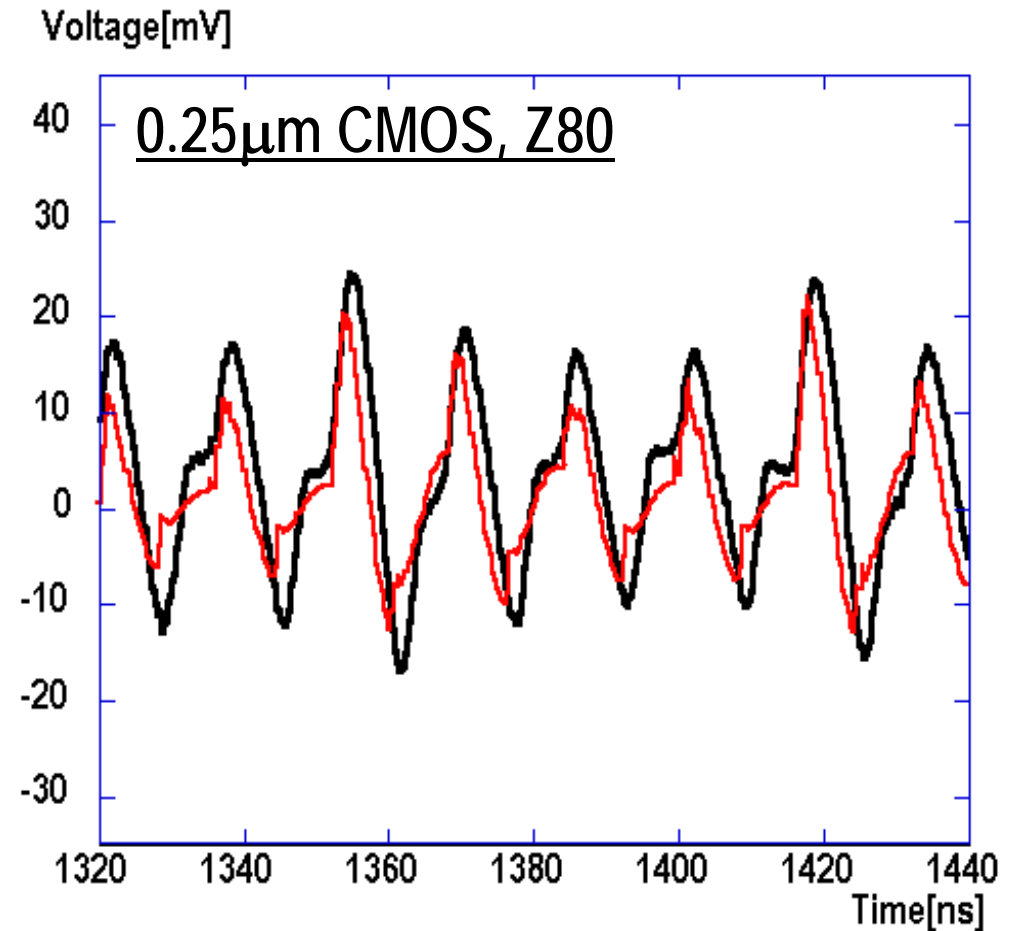
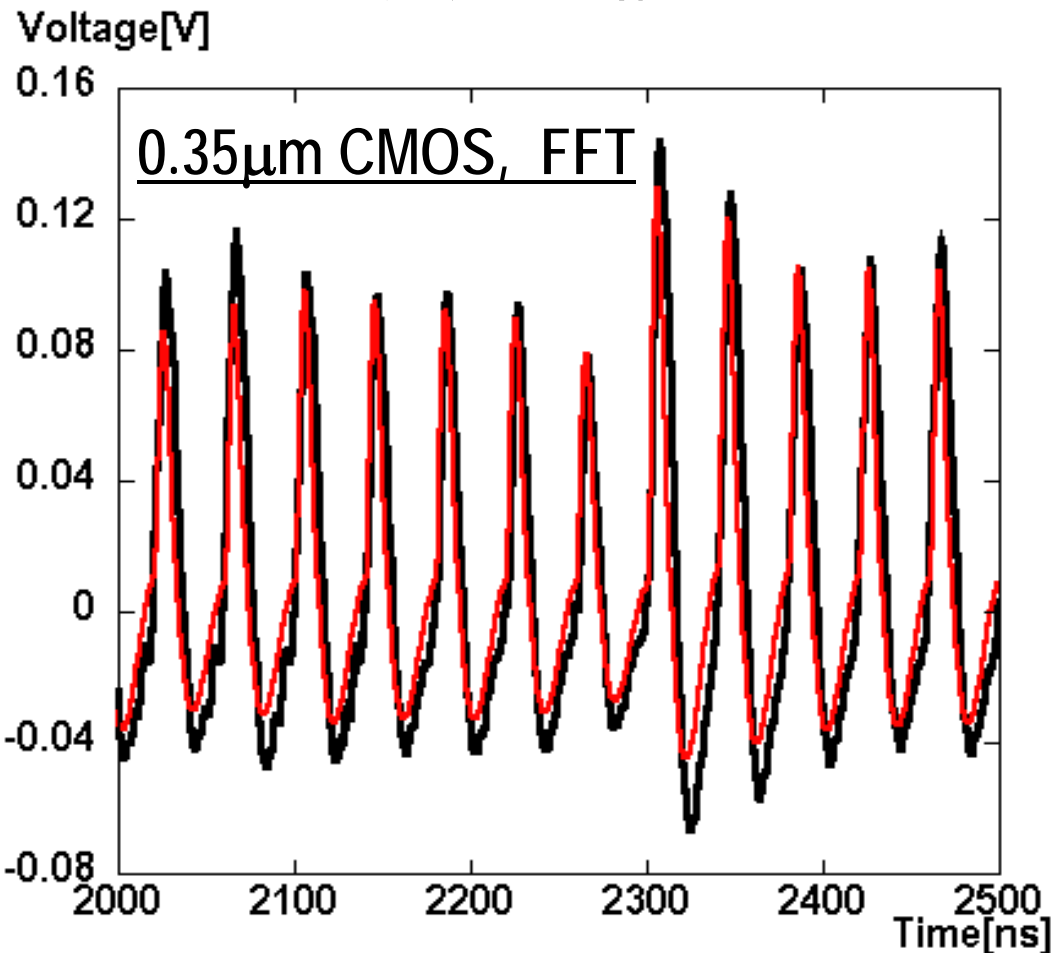
- ▶ 0.35 μm CMOSプロセス
 - 4.9 mm x 4.9 mm
 - FFTコア, 13k gates



- ▶ 0.25 μm CMOSプロセス
 - 12.0 mm x 10.8 mm
 - Z80プロセッサ, 12k gates

デジタルLSI電源ノイズの解析事例

- ▶ シミュレーションとオンチップ測定のコリレーション
 - : シミュレーション波形、 — : オンチップ実測波形
- ▶ 異なる世代・ファブのプロセスに適用、モデル化手法の一般性を確認
- ▶ 電源電流、電源雑音の等価回路モデルを提供



産業応用と実用化の実績 (1)

▶ 本提案のノイズ測定技術を核とした産学共同研究

- 基板ノイズのオンチップ測定とシミュレーション手法の開発
STARC-広島大、Custom IC Conf. 1999, 2000, 2002にて発表
- 低電力LSI向けメモリ回路における電源ノイズの評価
松下電器-神戸大、Symp. VLSI Ckts. 2004, Custom IC Conf. 2005にて発表
- GHz動作高速デジタル回路における電源ノイズ評価
東芝-神戸大、Intl. Solid-State Circuits Conf.(ISSCC) 2005にて発表
- アナログデジタル混載LSIにおける基板ノイズ評価
STARC-神戸大、Design and Test in Europe 2005, European Solid-State Circuits Conf. 2006にて発表
- マイクロプロセッサの電源ノイズと動作不良の評価
ルネサス-神戸大、ISSCC 2007, Symp. VLSI Ckts. 2008にて発表
- LSIのオンチップ電源ノイズ評価とオフチップEMC評価
デンソー-神戸大、IEICE Trans. Electronics 2007, 2008にて発表

他。

※チップ・ボードのノイズに関する産業界からの高い関心を受け、多数の産学連携研究を実施・継続(1999年以降)。

産業応用と実用化の実績 (2)

▶ 大学発ベンチャ企業による雑音評価・解析の受託業務

- ・ ミックスシグナルLSIにおけるノイズ評価とモデリング
- ・ デジタルLSIの電源ノイズ発生量の見積もりと等価回路作成
- ・ 高周波LSIにおける基板結合低減レイアウト
- ・ LSIやPCBの標準ノイズ・テストチップの設計・実装・評価実務等。

※本提案のノイズ評価およびシミュレーション技術を核にした受託業務を大学発ベンチャ(広島大学)から提供、多くの半導体メーカーから受注。

株式会社エイアールテック <http://www.a-r-tec.jp>

代表者: 岩田 穆、技術顧問: 永田 真、他

※ 新規技術開発は大学にて共同研究、評価・解析の受託はベンチャ業務として切り分け、継続的かつ実用性の高い技術開発を継続。

受賞技術および関連技術に関する著者らの外部発表文献リスト

▶ 電源／グラウンド／基板雑音のオンチップ測定技術および評価事例

1. "Reduced Substrate Noise Digital Design for Improving Embedded Analog Performance,"
M. Nagata, K. Hijikata, J. Nagai, T. Morie, A. Iwata, IEEE Intl. Solid-State Circuits Conference Digest., pp. 224-225, 2000.
2. "Measurements and Analyses of Substrate Noise Waveform in Mixed Signal IC Environment,"
M. Nagata, J. Nagai, T. Morie, A. Iwata, IEEE Trans. CAD, Vol. 19, No. 6, pp. 671-678, 2000.
3. "Effects of Power-Supply Parasitic Components on Substrate Noise Generation in Large-Scale Digital Circuits,"
M. Nagata, T. Ohmoto, Y. Murasaka, T. Morie, A. Iwata, IEEE Symp. VLSI Circuits Digest., pp. 159-162, 2001.
4. "Dynamic Power-Supply and Well Noise Measurements and Analysis for High Frequency Body-Biased Circuits,"
K. Shimazaki, M. Nagata, T. Okumoto, S. Hirano, H. Tsujikawa, IEEE Symp. VLSI Circuits Digest., pp. 94-97, 2004.
5. "A Built-in Technique for Probing Power-Supply Noise Distribution within Large-Scale Digital Integrated Circuits,"
T. Okumoto, M. Nagata, K. Taki, IEEE Symp. VLSI Circuits Digest., pp. 98-101, 2004.
6. "Substrate Integrity Beyond 1 GHz,"
M. Nagata, et. al., IEEE Intl. Solid-State Circuits Conference (ISSCC2005), pp. 266-267, 2005.
7. "On-Chip Multi-Channel Waveform Monitoring for Diagnostics of Mixed-Signal Circuits,"
K. Noguchi, M. Nagata, Proc. Design Automation and Test in Europe, pp. 146-151, 2005.
8. "Dynamic Power-Supply and Well Noise Measurements and Analysis for Low Power Body Biased Circuits,"
K. Shimazaki, M. Nagata, AT. Okumoto, S. Hirano, H. Tsujikawa, IEICE Trans. Electron., Vol. E88-C, No. 4, pp. 589-596, 2005.
9. "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits,"
M. Nagata, T. Okumoto, K. Taki, IEEE J. Solid-State Circuits, Vol. 40, No. 4, pp. 813-819, 2005.
10. "An On-Chip Multi-Channel Waveform Monitor for Mixed Signal VLSI Diagnostics,"
K. Noguchi, M. Nagata, Proc. European Solid-State Circuits Conf., pp. 295-298, 2005.
11. "An On-Chip Multi-Channel Rail-to-Rail Signal Monitoring Technique for Sub-100-nm Digital Signal Integrity,"
K. Noguchi, M. Nagata, IEICE Transactions on Electronics, Vol.E89-C, No. 6, pp. 761-768, 2006.
12. "On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration,"
K. Noguchi, T. Hashida, M. Nagata, European Solid-State Circuits Conf., pp. 118-121, 2006.

▶ **電源／グラウンド／基板雑音のオンチップ測定技術および評価事例(続き)**

13. "Substrate Noise Coupling in SoC Design: Modeling, Avoidance, and Validation (Invited),"

A. Afzali-Kusha, M. Nagata, N. K. Verghese, D. J. Allstot, Proc. of the IEEE, Vol. 94, No. 12, pp. 2109-2138, 2006.

14. "Fine-Grained In-Circuit Continuous-Time Probing Technique of Dynamic Supply Variations in SoCs,"

M. Fukazawa, T. Matsuno, T. Uemura, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, M. Nagata, Intl. Solid-State Circuits Conference (ISSCC2007), pp. 288-289, 2007.

15. "On-Die Monitoring of Substrate Coupling for Mixed-Signal Circuit Isolation,"

D. Kosaka, M. Fujiwara, T. Danjo, M. Nagata, Japanese J. Applied Physics, Vol. 46, No. 4B, pp. 2244-2251, 2007.

16. "On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration,"

K. Noguchi, T. Hashida, M. Nagata, IEICE Transactions on Electronics, Vol.E90-C, No.6, pp. 1189-1196, 2007.

17. "Experimental Verification of Power Supply Noise Modeling for EMI Analysis through On-Board and On-Chip Noise Measurements,"

K. Ichikawa, Y. Takahashi, M. Nagata, IEICE Transactions on Electronics, Vol.E90-C, No.6, pp. 1282-1290, 2007.

18. "On-Chip Measurements Complementary to Design Flow for Integrity in SoCs,"

M. Nagata, Proc. Design Automation Conference 2007, pp. 400-403, 2007.

19. "An On-Chip Multichannel Waveform Monitor for Diagnosis of Systems-on-a-Chip Integration,"

K. Noguchi, M. Nagata, IEEE Trans. VLSI Systems, Vol. 15, No. 10, pp. 1101-1110, 2007.

20. "Experimental Evaluation of Digital-Circuit Susceptibility to Voltage Variation in Dynamic Frequency Scaling,"

M. Fukazawa, M. Kurimoto, R. Akiyama, H. Takata, M. Nagata, IEEE Symp. VLSI Circuits Digest., pp. 150-151, 2008.

21. "Measurement-Based Analysis of Electromagnetic Immunity in LSI Circuit Operation,"

K. Ichikawa, Y. Takahashi, Y. Sakurai, T. Tsuda, I. Iwase, M. Nagat, IEICE Trans. on Electronics, Vol.E91-C, No.6, pp. 936-944, 2008.

▶ **雑音のモデリングとシミュレーション技術および評価事例**

1. "A Macroscopic Substrate Noise Model for Full Chip Mixed-Signal Design Verification,"

M. Nagata and A. Iwata, IEEE Symp. VLSI Circuits Digest., pp. 37-38, 1997.

2. "Substrate Noise Simulation Techniques for Analog-Digital Mixed LSI Design,"

M. Nagata and A. Iwata, IEICE Trans. Fundamentals, Vol. E82-A, No. 2, pp. 271-278, 1999.

3. "Substrate Crosstalk Analysis in Mixed Signal CMOS Integrated Circuits,"

M. Nagata, A. Iwata, Proc. ASP-DAC, pp. 623-629, 2000.

4. "Physical Design Guides for Substrate Noise Reduction in CMOS Digital Circuits,"

M. Nagata, J. Nagai, K. Hijikata, T. Morie, A. Iwata, IEEE J. Solid-State Circuits, Vol. 36, No. 3, pp. 539-549, 2001.

5. "Chip-Level Substrate Noise Analysis with Network Reduction by Fundamental Matrix Computation,"

Y. Murasaka, M. Nagata, T. Ohmoto, T. Morie, A. Iwata, Proc. ISQED, pp. 482-487, 2001.

▶ 雑音のモデリングとシミュレーション技術および評価事例(続き)

6. "Substrate Noise Analysis with Compact Digital Noise Injection and Substrate Models,"
M. Nagata, Y. Murasaka, Y. Nishimori, T. Morie, A. Iwata, Proc. ASP-DAC, pp. 71-76, 2002.
7. "Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits,"
M. Nagata, T. Morie, A. Iwata, Proc. IEEE Custom IC Conf., pp. 501-504, 2002.
8. "A Substrate Noise Analysis Methodology for Large-Scale Mixed-Signal ICs,"
W. K. Chou, et. al., Proc. IEEE Custom IC Conf., pp. 369-372, 2003.
9. "Full-chip Vectorless Dynamic Power Integrity Analysis and Verification Against 100uV/100ps-Resolution Measurement,"
S. Lin, et. al., Proc. IEEE Custom IC Conf., pp. 509-512, 2004.
10. "Isolation Strategy against Substrate Coupling in CMOS Mixed-Signal/RF Circuits,"
D. Kosaka, et. al., IEEE Symp. VLSI Circuits Digest., pp. 276-279, 2005.
11. "An Integrated Timing and Dynamic Supply Noise Verification for Nano-meter CMOS SoC Designs,"
K. Shimazaki, et. al., Proc. IEEE Custom IC Conf., pp. 31-34, 2005.
12. "Substrate-Noise and Random-Fluctuations Reduction with Self-Adjusted Forward Body Bias,"
Y. Komatsu, et al., Proc. IEEE Custom IC Conf., pp. 35-38, 2005.
13. "Measurements of Digital Signal Delay Variation Due to Dynamic Power Supply Noise,"
M. Fukazawa, M. Nagata, Proc. IEEE Asian Solid-State Circuits Conf., pp. 165-168, 2005.
14. "Equivalent Circuit Modeling of Guard Ring Structures for Evaluation of Substrate Crosstalk Isolation,"
D. Kosaka, M. Nagata, Proc. Asia and South Pacific Design Automation Conf., pp. 677-682, 2006.
15. "Delay Variation Analysis in Consideration of Dynamic Power Supply Noise Waveform,"
M. Fukazawa, M. Nagata, IEEE Custom IC Conf., pp. 865-868, 2006.
16. "An Integrated Timing and Dynamic Supply Noise Verification for Multi-10-Million Gate SoC Designs,"
K. Shimazaki, M. Nagata, M. Fukazawa, S. Miyahara, M. Hirata, K. Sato, H. Tsujikawa,
IEICE Transactions on Electronics, Vol.E89-C, No.11, pp. 1535-1543, 2006.
17. "Measurement-Based Analysis of Delay Variation Induced by Dynamic Power Supply Noise,"
M. Fukazawa, M. Nagata, IEICE Transactions on Electronics, Vol.E89-C, No.11, pp. 1559-1566, 2006.
18. "Evaluation of Isolation Structures against High-Frequency Substrate Coupling in Analog/Mixed-Signal Integrated Circuits,"
D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, IEICE Transactions on Fundamentals, Vol.E90-A, No.2, pp. 380-387, 2007.
19. "Chip-Level Substrate Noise Analysis with Emphasis of Vertical Impurity Profile for Isolation,"
D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, IEEE Custom IC Conf., pp. 849-852, 2007.
20. "Chip-Level Substrate Coupling Analysis with Reference Structures for Verification,"
D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, IEICE Transactions on Fundamentals, Vol.E90-A, No.12, pp. 2651-2660, 2007.